

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication

00171099 B1

number:

(43)Date of publication of application:

17.10.1998

(21)Application number:

95043743

(71)Applicant:

LG ELECTRONICS INC.

number:

(72)Inventor:

KIM, SEONG JIN

(22)Date of filing:

25.11.1995

(51)Int. Cl

H01L 23/34

(54) SEMICONDUCTOR SUBSTRATE BUMP AND METHOD FOR FORMING THE SAME

(57) Abstract:

PURPOSE: A semiconductor substrate bump and a method for forming the same are provided to make an integrated IC by preventing an electrical short phenomenon, and form an oxide layer without additional masking working.

CONSTITUTION: A semiconductor substrate bump includes a semiconductor substrate(11), a pad(12), a passivation layer(13), a diffusion prevention layer(14), and a bump. The bump includes a first bump(16) having an oxide layer(18) on a side surface and a second bump(17) formed on an upper surface of the first bump(16). The pad(12) is formed on the semiconductor substrate(11). The passivation layer(13) is formed on the substrate(11) to partially expose the pad(12). The diffusion prevention layer(14) is formed on the exposed pad. The bump is formed on the diffusion prevention layer(14). Thereby, the semiconductor substrate bump makes an integrated IC by preventing an electrical short phenomenon, and forms an oxide layer without additional masking working.

Legal Status

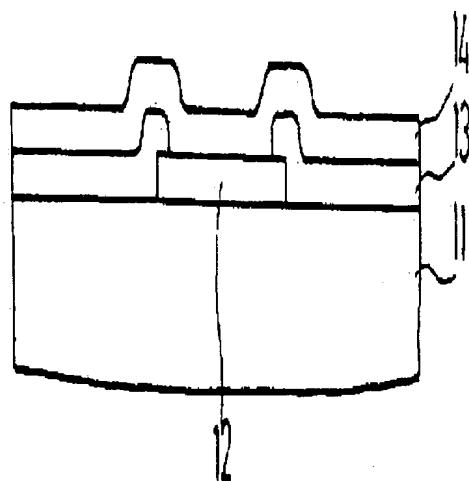
Date of request for an examination (19951125)

Final disposal of an application (registration)

Date of final disposal of an application (19980831)

Patent registration number (1001710990000)

Date of registration (19981017)



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(51) Int. Cl.⁶
 H01L 23/34

(45) 공고일자 1999년02월01일
 (11) 등록번호 특0171099
 (24) 등록일자 1998년10월17일

(21) 출원번호	특1995-043743	(65) 공개번호	특1997-030721
(22) 출원일자	1995년11월25일	(43) 공개일자	1997년06월26일
(73) 특허권자	엘지전자주식회사 구자홍		
(72) 발명자	서울시 영등포구 여의도동 20번지 김성진		
(74) 대리인	제주도 남제주군 표선면 토산리 1356 양순석		

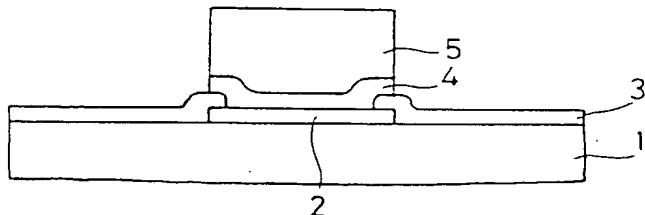
심사관 : 양희용

(54) 반도체 기판 범프 및 그 제조방법

요약

본 발명은 반도체 기판 범프 및 제조 방법에 관한 것으로 범프를 통한 본딩시 발생되던 전기적 단락 문제를 해결하기 위해 적합하도록 반도체 기판과, 반도체 기판 상에 형성된 페드와, 페드의 일부와 페드가 형성되지 않은 기판 영역을 보호하기 위해 형성된 보호막과, 페드 상부의 보호막 위와 보호막으로부터 노출된 페드 위에 형성된 확산방지층과, 확산방지층의 상부에 형성된 범프를 포함하는 반도체 기판 범프에 있어서, 범프는 측면에 산화막이 형성된 제1범프과, 제1범프의 상면에 형성된 제2범프로 이루어지며, 이러한 범프는 제1범프를 상면의 제2범프에 비해 산화성이 강한 물질로 형성하여 종래의 범프 제조방법에서 마스크 추가없이 산화작업을 추가함으로써 반도체 기판 범프를 제조한다.

대표도



명세서

[발명의 명칭]

반도체 기판 범프 및 그 제조방법

[도면의 간단한 설명]

제1도는 종래의 반도체 기판 범프의 단면도.

제2도는 종래의 반도체 기판 범프의 실제 본딩 상태를 예시한 단면도.

제3도는 본 발명의 반도체 기판 범프의 구조와 제조방법의 각 공정을 예시한 단면도.

제4도는 본 발명의 반도체 기판 범프의 실제 본딩 상태를 예시한 단면도.

* 도면의 주요부분에 대한 부호의 설명

1, 11 : 기판	2, 12 : 페드
3, 13 : 보호막	4, 14 : 확산방지층
5, 16 : 제1범프	6, 19 : 도전성 볼
7, 20 : 접착물질	8, 22 : 액정기판
9, 21 : 액정기판의 페드	15 : 포토레지스트 패턴
17 : 제2범프	18 : 산화막

[발명의 상세한 설명]

본 발명은 반도체 기판 범프(Bump) 및 그 제조방법에 관한 것으로, 범프를 통한 본딩시 발생되던 전기적 단락

문제를 해결하기에 적합하도록 한 반도체 기판 범프 및 그 제조방법에 관한 것이다.

범프를 이용한 본딩방법은 주로 반도체 디바이스 패키지나, 액정표시소자(Liquid Crystal Display : LCD)의 구동 소자(IC) 실장시에 많이 쓰이는 기술로서, 본 명세서에는 주로 액정표시소자의 구동소자 실장을 예로 들어 설명하겠다.

액정표시소자의 구동회로는 보통 별도의 회로 소자들을 액정표시소자의 박막 트랜지스터 어레이 기판에 연결하여 사용하는데, 이러한 구동소자 실장 기술에는 구동소자를 프린트기판에 실장한 후 박막 트랜지스터 어레이 기판과 프린트기판을 연결하는 방법과, 플렉시블 테이프에 구동소자를 실장한 후 박막 트랜지스터 어레이 기판과 플렉시블 테이프를 연결하는 방법과, 박막 트랜지스터 기판위에 구동소자를 직접 실장하는 방법(COG : chip on glass) 등이 있는데, 범프를 이용한 본딩방법은 주로 쓰이는 본딩방법이다.

이러한 범프를 이용한 본딩방법은 범프가 형성된 소자와 외부기판의 단자를 이방성 도전 필름(Anisotropic Conductive Film : 이하 ACF라 한다.)이나 이방성 도전 접착제(Anisotropic Conductive Adhesive : 이하 ACA라 한다.)와 같은 접착물질을 이용하여 본딩하는 것이다. 이러한 ACF나 ACA는 구경이 5 내지 7 μ m인 도전물질로 이루어진 미세한 볼(이하 도전볼이라 한다.)을 다수개 가지고 있어, 이 도전볼을 통하여 소자에 형성된 범프와 외부기판의 단자가 전기적으로 연결된다.

그러나, 반도체 소자의 크기가 점차 소형화되어 가는 추세에 따라 소자에 형성된 범프들의 간격이 점차 좁아지게 되어감에 따라서, 종래의 반도체기판 범프는 전기적 접촉을 위해 접착물질 내부에 포함시킨 도전볼에 의해 이웃 범프간에 전기적 단락이 일어나는 문제점이 발생되었다.

제1도는 종래의 일반적인 범프의 구조를 나타내는 도면으로, 종래의 반도체 기판 범프는 구동소자가 형성된 반도체기판(1) 상에 패드(2)가 형성되어 있고, 패드(2)의 일부와 노출된 반도체기판(1) 위에 보호막(3)이 있다. 노출된 패드(2)와 패드위에 올라온 보호막(3) 위에 확산방지층(4)이 형성되어 있으며, 확산방지층(4)의 상부에는 범프(5)가 형성되어 있는 구조를 가지고 있다.

따라서, 실제적으로 외부기판 단자와 전기적 접촉이 이루어지는 부위는 범프(5)의 상면인데, 그 측면까지 표면이 노출되어 있어서, 범프간 거리가 가까울 경우, 이웃하는 범프 사이공간에 접착물질에 포함된 도전볼이 밀집되어 두 범프를 도전볼이 서로 연결시켜 단락이 발생된다.

제2도는 이러한 종래의 문제점을 서령하기 위해 예시한 것으로, 구동소자가 형성된 반도체기판(1)을 박막 트랜지스터 기판(8)에 본딩할 때, 두 범프(5)사이에 접착물질(7)내의 도전볼(6)이 밀집되어 두 범프(5)의 측면이 접촉되는 상태를 도시하고 있다. 이와 같이 도전볼(6)이 범프(5)사이의 공간으로 밀집되는 현상을 본딩시, 박막 트랜지스터 기판(8)에 ACF나 ACA 등의 접착물질(7)을 접착시키 후, 범프(5)가 형성된 반도체기판(1)을 물리적으로 박막 트랜지스터 기판(8)에 압착하여 두 기판을 연결하는데, 이 때, 범프(5)의 압력에 의해 도전볼을 내포하는 접착물질(7)이 범프사이 공간으로 흘르기 때문이다.

본 발명은 종래의 이웃하는 범프끼리 도전볼에 의하여 전기적으로 연결되어 단락이 발생하는 문제를 해결하기 위하여, 범프 측면에 산화막을 형성한 것으로, 소자가 형성된 반도체 기판과, 반도체 기판 상에 형성된 패드와, 패드의 일부 및 노출된 반도체 기판의 형성된 보호막과, 노출된 패드 위에 형성된 확산방지층과, 확산방지층의 상부에 형성된 범프를 포함하는 반도체 기판 범프에 있어서, 상기 범프가 측면에 산화막이 형성된 제1범프와, 제1범프의 상면에 형성된 제2범프로 이루어진 것을 특징으로 하는 반도체 기판 범프에 관한 것이다.

이러한 구조를 가지는 본 발명의 반도체 기판 범프는 범프간의 거리가 좁은 파인 리치(fine pitch) 소자에 적용 하더라도, 제1범프의 측면에 형성된 산화막에 의해 범프가 전기적으로 절연되어 종래와 같은 문제점을 해결 할 수 있다.

또한, 본 발명은 제1범프의 측면이 산화막으로 절연된 구조의 반도체 기판 범프 제조방법에 관한 것으로, 반도체 기판 상부에 패드를 형성하고, 패드 및 기판 위에 보호막을 적층한 후, 패드의 일부영역을 노출시키는 단계와, 노출된 패드 위에 장벽금속물질을 적층하는 단계와, 패드 상부의 장벽금속물질이 노출되도록 포토레지스트 패턴을 형성하는 단계와, 포토레지스트 패턴을 마스크로 제1도전물질로 제1범프를 형성하는 단계와, 포토레지스트 패턴을 제거하고, 제1범프를 산화시켜, 제1범프 측면에 산화막을 형성하는 단계를 포함하는 것을 특징으로 반도체 기판 범프 제조방법에 관한 것이다. 이 때, 제1도전물질은 제2도전물질보다 산화성이 큰 물질이다.

이와 같이, 본 발명의 반도체 기판 범프는 종래의 범프 제조방법에 있어서, 산화공정을 1차 진행하여 범프 측면에 전기적으로 절연이 가능한 구조를 가질 수 있음을 특징으로 한다.

제3도의 (e) 본 발명의 반도체 기판 범프의 실시예로서, 도면과 같이, 구동소자가 형성된 반도체기판(11) 상에 형성된 패드(12)와, 패드(12)의 일부 및 노출된 기판(11)을 보호하기 위해 형성된 보호막(13)이 있고, 패드(12)상부로 올라온 보호막(13)과 노출된 패드 위에 확산방지층(14)이 형성되어 있으며, 확산방지층(14)의 상부에는 측면에 산화막(18)을 가지는 제1범프(16)가 형성되어 있고, 제1범프 상부에는 제1범프에 비해 두께가 얇은 제2범프(17)가 형성되어 있는 구조를 가진다.

제3도의 (a) 내지 (e)는 본 발명의 반도체 기판 범프의 제조방법을 설명하기 위하여 각 공정을 예시한 공정 단면도로서, 먼저, 제3도의 (a)와 같이, 반도체기판(11) 위에 도전물질로 패드(12)를 형성하고, 패드의 일부 영역과 노출된 기판위에 보호막(13)을 형성한 후, 노출된 패드 및 보호막위에 확산방지층(14)을 형성한다. 이 때, 확산방지층(14)은 패턴이 형성되지 않은 상태이다. 그리고, 그 형성물질은 타이타늄(Ti), 텅스텐(W) 등이다.

다음으로, 제3도의 (b)와 같이, 노출된 보호막(13) 및 확산방지층(14) 상부에 포토레지스트를 도포한 후, 패드(12)가 형성된 영역이 오픈되도록 포토레지스트 패턴(15)을 형성한다.

다음으로, 제3도의 (c)와 같이, 포토레지스트 패턴(15)을 이용하여 전기 도금 방법으로 니켈(Ni), 알루미늄(Al), 구리(Cu) 등 산화가 용이한 물질로 제1범프(16)를 형성한 후, 제1범프(16)의 상부에 포토레지스트 패턴(15)을 이용하여 전기 도금 방법으로 은(Au) 등 내산화성 물질로 제2범프(17)를 형성한다.

다음으로, 제3도의 (d)와 같이, 포토레지스트 패턴(15)을 제거하고, 제1범프 및 제2범프로 부터 노출된 확산방지층을 제거하여 제1범프하부에만 확산방지층(14)을 남긴다.

다음으로, 제3도의 (e)와 같이, 제1범프(16)를 열산화 등의 방법으로 측면에 산화막(18)을 형성한다. 이 때, 제2범프(17) 형성을 위한 제1범프(16) 형성을 질에 비하여 내산화성을 가지고 있으므로, 제1범프(16)의 측면에만 산화막(18)이 형성되는 것이다.

제4도는 본 발명의 범프를 이용한 본당시 종래 문제점의 해결상태를 나타낸 도면으로, 제4도와 같이, 반도체 기판(11)의 범프를 박막 트랜지스터 기판(22)의 패드(21)에 도전성 접착물질(20)을 이용하여 연결시킬 때, 범프사이공간으로 접착물질(20)이 흘러서, 접착물질 내의 도전볼(19)이 밀집되어 다수개의 도전볼(19)이 두 범프(16)의 측면을 서로 연결시키더라도 제1범프(16) 측면에 형성된 산화막(18)으로 인해 전기적 단락이 방지됨을 보여준다.

한편, 이상과 같이 본 명세서에는 액정표시장치의 구동소자 실장만을 예로 들어 기술하였으나, 반도체 디바이스 패키지에서도 사용할 수 있다.

또한, 본 발명의 반도체 기판 범프는 범프 측면에 산화막을 형성하여 전기적으로 절연시키므로서, 파인 피치 구조의 소자에 있어서, 범프간의 거리가 좁아져도 접착물질 내의 도전볼에 의한 전기적 단락 현상등을 방지할 수 있어 소자를 접착화할 수 있으며, 본 발명의 반도체 기판 범프 제조방법은 별도의 마스킹 작업 없이 측면에 산화막을 형성할 수 있어, 공정상의 이점을 가져 생산수율에 있어서도 경제성을 가진다.

(57) 청구의 범위

청구항 1

반도체 기판파, 사이 반도체 기판 상에 형성된 패드와, 상기 패드의 일부가 노출되게 상기 기판위에 형성된 보호막파, 상기 보호막으로부터 노출된 패드 위에 형성된 확산방지층파, 상기 확산방지층의 상부에 형성된 범프를 포함하는 반도체 기판 범프에 있어서, 상기 범프는 측면에 산화막이 형성된 제1범프와, 상기 제1범프의 상면에 형성된 제2범프로 이루어진 것을 특징으로 하는 반도체 기판 범프.

청구항 2

제1항에 있어서, 상기 제1범프는 제2범프보다 산화성이 강한 금속으로 이루어진 것을 특징으로 하는 반도체 기판 범프.

청구항 3

제1항에 있어서, 상기 제1범프는 Ni, Al, Cu 중 한 물질로 이루어진 것을 특징으로 하는 반도체 기판 범프.

청구항 4

제1항에 있어서, 상기 제2범프는 내산화성 금속으로 이루어진 것을 특징으로 하는 반도체 기판 범프.

청구항 5

반도체기판 상부에 패드를 형성하고, 패드 및 기판 위에 보호막을 적층한 후, 패드의 일부영역을 노출시키는 단계와, 상기 노출된 패드와 상기 보호막 위에 확산방지층을 형성하는 단계와, 상기 노출된 패드 상부의 확산방지층이 노출되도록 포토레지스트 패턴을 형성하는 단계와, 상기 포토레지스트 패턴을 이용하여 제1도전물을 질로 제1범프를 형성하는 단계와, 상기 포토레지스트 패턴을 이용하여 제2도전물을 질로 상기 제1범프 위에 제2범프를 형성하는 단계와, 상기 포토레지스트 패턴을 제거하고, 상기 제1범프를 산화시켜, 상기 제1범프 측면에 산화막을 형성하는 단계를 포함하는 것을 특징으로 반도체 기판 범프 제조방법.

청구항 6

제5항에 있어서, 상기 제1도전물을 질은 상기 제2도전물을 질보다 산화성이 강한 물질인 것을 특징으로 하는 반도체 기판 범프 제조방법.

청구항 7

제5항에 있어서, 상기 제1범프 및 제2범프를 전기 도금 방법으로 형성하는 것을 특징으로 하는 반도체 기판 범프 제조방법.

청구항 8

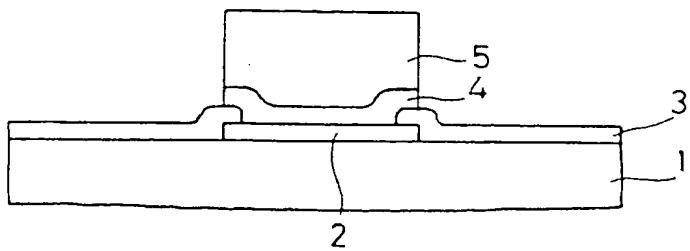
제5항에 있어서, 상기 제1도전물을 질은 Ni, Al, Cu 중 하나인 것을 특징으로 하는 반도체 기판 범프 제조방법.

청구항 9

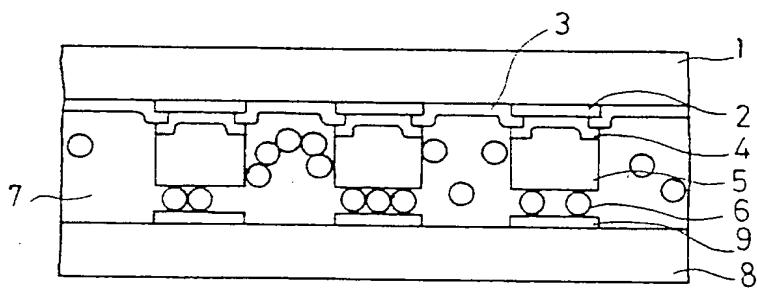
제5항에 있어서, 상기 제2도전물을 질은 Au인 것을 특징으로 하는 반도체 기판 범프 제조방법.

도면

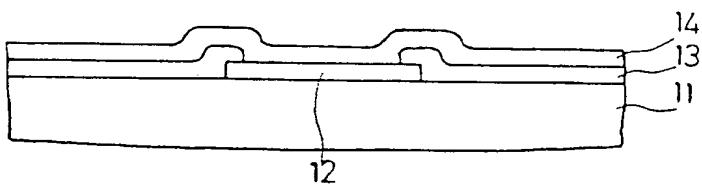
도면1



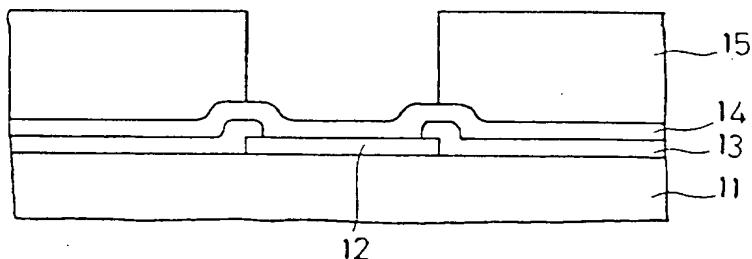
도면2



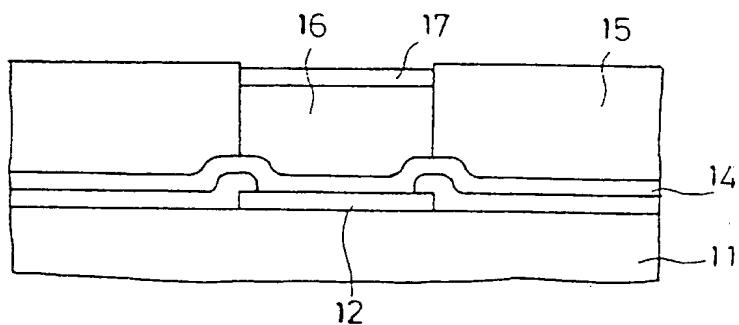
도면3a



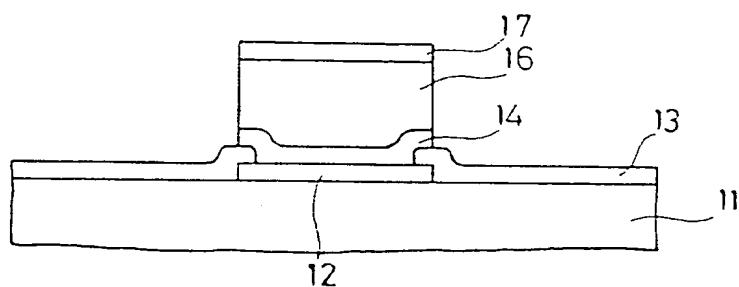
도면3b



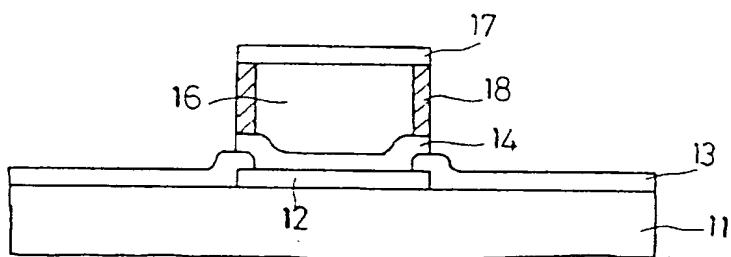
도면3c



도면3d



도면3e



도면4

